

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroo NAKANO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DATA PROCESSING APPARATUS AND MEMORY CARD USING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

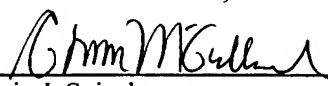
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-400828	December 28, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



#2
15 Feb 02
R. Tachibana

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1002 U.S. PT.
10/026813
12/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月28日

出 願 番 号

Application Number:

特願2000-400828

出 願 人

Applicant(s):

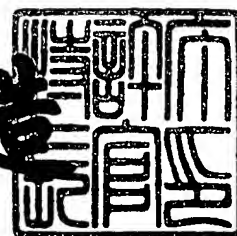
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097118

【書類名】 特許願

【整理番号】 A000006911

【提出日】 平成12年12月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 7/00

【発明の名称】 データ処理装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 中野 寛生

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書
【発明の名称】 データ処理装置
【特許請求の範囲】

【請求項 1】 演算処理を実行する演算処理装置と、
データバスを介して上記演算処理装置と接続された記憶装置と、
上記演算処理装置がデータを読み込むリードサイクル期間と上記演算処理装置
が上記記憶装置に対してデータの書き込みを行うライトサイクル期間の相互間、
ライトサイクル期間とリードサイクル期間の相互間、2つのリードサイクル期間
の相互間及び2つのライトサイクル期間の相互間のいずれかに、擬似データを発
生し、上記データバス上に出力する擬似データ発生回路と
を具備したことを特徴とするデータ処理装置。

【請求項 2】 演算処理を実行する演算処理装置と、
データバス、リード信号線及びライト信号線を介して上記演算処理装置に接続
された記憶装置と、
上記リード信号線及びライト信号線に伝達されるリード制御信号及びライト制
御信号の変化を検出して制御信号を発生する制御信号発生回路と、
上記制御信号が供給され、この制御信号に応じて擬似データを発生し、上記デ
ータバス上に出力する擬似データ発生回路と
を具備したことを特徴とするデータ処理装置。

【請求項 3】 前記擬似データ発生回路が乱数データを発生することを特徴
とする請求項 1 または 2 記載のデータ処理装置。

【請求項 4】 演算処理を実行する演算処理装置と、
データバスを介して上記演算処理装置に接続された記憶装置と、
上記演算処理装置がデータを読み込むリードサイクル期間と上記演算処理装置
が上記記憶装置に対してデータの書き込みを行うライトサイクル期間の相互間、
ライトサイクル期間とリードサイクル期間の相互間、2つのリードサイクル期間
の相互間及び2つのライトサイクル期間の相互間のいずれかに動作して電力を消
費するダミー回路と
を具備したことを特徴とするデータ処理装置。

【請求項 5】 演算処理を実行する演算処理装置と、

データバス、リード信号線及びライト信号線を介して上記演算処理装置に接続された記憶装置と、

上記リード信号線及びライト信号線に伝達されるリード制御信号及びライト制御信号の変化を検出して制御信号を発生する制御信号発生回路と、

上記制御信号が供給され、この制御信号に応じて動作して電力を消費するダミー回路と

を具備したことを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、CPUとメモリを有し、データバスを介してCPUとメモリとの間でデータ転送が行われるデータ処理装置に係り、特にデータバス上で転送されるデータの内容が外部に知られにくくしたデータ処理装置に関する。

【0002】

【従来の技術】

一般に、CPU（中央演算処理装置）を内蔵したデータ処理装置において、CPUの命令処理時における消費電力は、各種命令や各命令が扱うデータによって、若干の相違がある。従って、この消費電力の相違を、例えばデータ処理装置に供給されている電源の電流によって観察すれば、CPUの動作が解析され易くなる。

【0003】

このため、CPUによってメモリ内の秘密データを管理、処理する際に、秘密データをCPUが処理する時間が特定されてしまうと、秘密データが外部に漏洩し易くなる危険性がある。

【0004】

【発明が解決しようとする課題】

このように従来のデータ処理装置では、消費電力の相違によって秘密データが外部に漏洩し易くなる危険性がある。

【 0 0 0 5 】

この発明は上記のような事情を考慮してなされたものであり、その目的は、秘密データが外部に漏洩しにくくできるデータ処理装置を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】

この発明のデータ処理装置は、演算処理を実行する演算処理装置と、データバスを介して上記演算処理装置と接続された記憶装置と、上記演算処理装置がデータを読み込むリードサイクル期間と上記演算処理装置が上記記憶装置に対してデータの書き込みを行うライトサイクル期間の相互間、ライトサイクル期間とリードサイクル期間の相互間、2つのリードサイクル期間の相互間及び2つのライトサイクル期間の相互間のいずれかに、擬似データを発生し、上記データバス上に出力する擬似データ発生回路とを具備したことを特徴とする。

【 0 0 0 7 】

この発明のデータ処理装置は、演算処理を実行する演算処理装置と、データバス、リード信号線及びライト信号線を介して上記演算処理装置に接続された記憶装置と、上記リード信号線及びライト信号線に伝達されるリード制御信号及びライト制御信号の変化を検出して制御信号を発生する制御信号発生回路と、上記制御信号が供給され、この制御信号に応じて擬似データを発生し、上記データバスに出力する擬似データ発生回路とを具備したことを特徴とする。

【 0 0 0 8 】

この発明のデータ処理装置は、演算処理を実行する演算処理装置と、データバスを介して上記演算処理装置に接続された記憶装置と、上記演算処理装置がデータを読み込むリードサイクル期間と上記演算処理装置が上記記憶装置に対してデータの書き込みを行うライトサイクル期間の相互間、ライトサイクル期間とリードサイクル期間の相互間、2つのリードサイクル期間の相互間及び2つのライトサイクル期間の相互間のいずれかに動作して電力を消費するダミー回路とを具備したことを特徴とする。

【 0 0 0 9 】

この発明のデータ処理装置は、演算処理を実行する演算処理装置と、データバ

ス、リード信号線及びライト信号線を介して上記演算処理装置に接続された記憶装置と、上記リード信号線及びライト信号線に伝達されるリード制御信号及びライト制御信号の変化を検出して制御信号を発生する制御信号発生回路と、上記制御信号が供給され、この制御信号に応じて動作して電力を消費するダミー回路とを具備したことを特徴とする。

【0010】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。

【0011】

図1は、この発明に係るデータ処理装置の第1の実施の形態による全体の構成を示すブロック図である。データ処理装置10内には、CPU（中央演算処理装置）11、メモリ12、アドレスバス13、データバス14、リード信号線15、ライト信号線16、バスフォルダ17、制御信号発生回路18及び擬似データ発生回路19等が設けられている。

【0012】

CPU11は、各種命令に基づく演算処理を実行する。メモリ12は、予めデータを記憶しており、CPU11が演算処理を実行する際のリードサイクル期間に、予め記憶されているデータを読み出してCPU11に供給すると共に、ライトサイクル期間に、CPU11による演算処理結果に応じたデータが供給され、このデータの書き込みを行う。

【0013】

CPU11とメモリ12とは、アドレスバス13、データバス14、リード信号線15及びライト信号線16によって接続されている。

【0014】

アドレスバス13には、CPU11がメモリ12をアクセスして、メモリ12の記憶データを読み出す際またはCPU11からのデータをメモリ12に書き込む際に、メモリのアドレスを指定するためのアドレスが転送される。

【0015】

データバス14には、CPU11とメモリ12との間で授受されるデータが転

送される。通常、データバス 1 4 には大きな負荷容量が存在しているので、この大きな負荷容量を駆動するために、CPU 1 1 及びメモリ 1 2 のそれぞれには図示しないバス駆動回路が設けられている。

【0 0 1 6】

リード信号線 1 5 には、リードサイクル期間に、CPU 1 1 がメモリ 1 2 をアクセスして、メモリ 1 2 の記憶データを読み出す際に、リード制御信号が転送される。

【0 0 1 7】

ライト信号線 1 6 には、ライトサイクル期間に、CPU 1 1 がメモリ 1 2 をアクセスして、CPU 1 1 からのデータをメモリ 1 2 に書き込む際に、ライト制御信号が転送される。

【0 0 1 8】

また、通常、データバス 1 4 にはバスフォルダ 1 7 が接続されている。このバスフォルダ 1 7 は、データバス 1 4 上を転送されるデータを一時的に保持する機能を有する。

【0 0 1 9】

上記リード制御信号及びライト制御信号は、制御信号発生回路 1 8 にも供給される。この制御信号発生回路 1 8 は、リード信号線 1 5 及びライト信号線 1 5 に伝達されるリード制御信号及びライト制御信号の変化を検出して制御信号を発生する。制御信号発生回路 1 8 で発生された制御信号は擬似データ発生回路 1 9 に供給される。この擬似データ発生回路 1 9 は例えば乱数データ発生回路からなり、上記制御信号に応じて不特定な乱数データからなる擬似データを発生し、データバス 1 4 上に出力する。擬似データ発生回路 1 9 は大きな負荷容量が存在しているデータバス 1 4 を駆動するので、この擬似データ発生回路 1 9 には CPU 1 1 及びメモリ 1 2 と同様の図示しないバス駆動回路が設けられている。

【0 0 2 0】

また、上記データ処理装置 1 0 には、電源電圧 V c c、接地電圧 G N D が供給される電源端子 2 0、接地端子 2 1 や外部との間で入出力信号の授受を行うための複数の信号端子 2 2 等が設けられている。

【0021】

次に、上記構成でなるデータ処理装置の動作を、図2のタイミングチャートを用いて説明する。なお、図2のタイミングチャートは、CPU11がメモリ12をアクセスして、メモリ12の記憶データを読み出した後に、CPU11からのデータをメモリ12に書き込む場合の例を示している。図2において、各信号は、初期値は“1”レベルであり、“0”レベルで意味ありになるとする。

【0022】

まず、リードサイクル期間に、CPU11がメモリ12をアクセスしてデータを読み出すために、リード制御信号が“0”レベルに下がる。これを受けて、メモリ12は、CPU11から出力され、アドレスバス13上を転送されるアドレスに応じた番地からデータを読み出す。その後、メモリ12から読み出された読み出しデータはデータバス14上に出力される。データバス14上に出力されたデータは所定のタイミングでCPU11に取り込まれる。

【0023】

ここで、メモリ12から読み出された読み出しデータがデータバス14上に出力される際に、メモリ12に設けられているバス駆動回路がデータバス14を駆動するので、このバス駆動回路における消費電力は一時的に増大する。このときの消費電力の増大は、電源端子20に供給される電源電圧の電流量の増大として現れる。

【0024】

メモリ12から読み出された読み出しデータは、その後、バスフォルダ17によって一時的に保持され、メモリ12からのデータ出力動作はある期間を過ぎると停止する。つまり、メモリ12に設けられているバス駆動回路はデータの出力動作を停止し、出力が高インピーダンス状態となる。

【0025】

リード制御信号が“0”レベルに下がり、データバス14上のデータがCPU11に取り込まれ、リードサイクル期間が終了した後に、制御信号発生回路18で制御信号が発生される。この制御信号が供給されことにより、擬似データ発生回路19が動作を開始して乱数データを発生する。この乱数データは擬似データ

としてデータバス14上に出力される。

【0026】

この擬似データがデータバス14上に出力される際に、擬似データ発生回路19に設けられているバス駆動回路がデータバス14を駆動するために、このバス駆動回路における消費電力は一時的に増大する。このときの消費電力の増大も、電源端子20に供給される電源電圧の電流量の増大として現れる。

【0027】

この後、データバス14上のデータは、リード時と同様にバスフォルダ17によって一時的に保持され、擬似データ発生回路19からの擬似データ出力動作はある期間を過ぎると停止する。つまり、擬似データ発生回路19に設けられているバス駆動回路は、出力が高インピーダンス状態となる。

【0028】

次に、ライトサイクル期間に、CPU11がメモリ12に対してデータを書き込むために、ライト制御信号が“0”レベルに下がる。この場合、CPU11はメモリ12に対して書き込みを行うためのデータを出力すると共に、書き込みを行うためのメモリ12の番地を指定するためのアドレスバス13上に出力する。

【0029】

CPU11からの書き込み用データがデータバス14上に出力される際に、CPU11に設けられているバス駆動回路がデータバス14を駆動するために、このバス駆動回路における消費電力は一時的に増大する。このときの消費電力の増大は、電源端子20に供給される電源電圧の電流量の増大として現れる。

【0030】

その後、CPU11から出力された書き込み用データは所定のタイミングでメモリ12の指定された番地に書き込まれる。

【0031】

CPU11から出力された書き込み用データは、その後、バスフォルダ17によって一時的に保持され、CPU11からのデータ出力動作はある期間を過ぎると停止する。つまり、CPU11に設けられているバス駆動回路は、出力が高インピーダンス状態となる。

【 0 0 3 2 】

ライト制御信号が“0”レベルに下がり、データがメモリ12に書き込まれてライトサイクルが終了した後は、先のリード時の場合と同様に、制御信号発生回路18で制御信号が発生される。この制御信号が供給されると、擬似データ発生回路19が動作を開始して乱数データを発生し、擬似データがデータバス14上に出力される。

【 0 0 3 3 】

この擬似データがデータバス14上に出力される際に、擬似データ発生回路19に設けられているバス駆動回路がデータバス14を駆動するために、このバス駆動回路における消費電力は一時的に増大する。このときの消費電力の増大も、電源端子20に供給される電源電圧の電流量の増大として現れる。

【 0 0 3 4 】

この後、データバス14上のデータは、リード時と同様にバスフォルダ17によって一時的に保持され、擬似データ発生回路19からの擬似データ出力動作はある期間を過ぎると停止する。つまり、擬似データ発生回路19に設けられているバス駆動回路は、出力が高インピーダンス状態となる。

【 0 0 3 5 】

このように図1のデータ処理装置によれば、データバス14を介してCPU11とメモリ12との間で本来のデータが転送されるリードサイクル期間及びライトサイクル期間の後で、擬似データ発生回路19で擬似データを発生し、データバス14上に出力するようにしたので、CPU11とメモリ12との間で授受される本来のデータの転送時と、その後の擬似データの発生時とで、CPU11、メモリ12及び擬似データ発生回路19それぞれに設けられているバス駆動回路が動作し、それぞれの場合に消費電力が一時的に同程度に増大する。

【 0 0 3 6 】

このため、秘密データを含む本来のデータがデータバス14上を転送される時と、擬似データがデータバス14上に出力される時とにおける消費電力の増大は、電源端子20に供給される電源電圧の電流量を変化を観測しても区別が付きにくい。この結果、外部からは秘密データに依存した消費電力の変化が観察しにく

くなり、秘密データの漏洩を防ぐことができる。

【0037】

なお、従来では、乱数データ発生回路が設けられ、ここで発生された乱数データをデータバス上を転送させてCPUに取り込み、演算処理を実行するように構成されたデータ処理装置が存在している。しかし、このようなデータ処理装置では乱数データはあくまでも正規のデータの一部として取り扱われ、リードサイクル期間内にデータバスを介してCPUに転送されるものであり、上記実施の形態のようにリードサイクル期間及びライトサイクル期間の後に擬似データを発生してデータバス上に出力するものとは異なる。すなわち、リードサイクル期間内にデータバスを介して乱数データを転送する場合には、乱数データは本来のデータと見なされ、その前後のデータとの間で相関が取られてデータが漏洩する恐れがある。

【0038】

なお、上記実施の形態では、データバス14を介してCPU11とメモリ12との間で本来のデータが転送されるリードサイクル期間及びライトサイクル期間それぞれの後で、擬似データ発生回路19で擬似データを発生し、データバス14上に出力する場合について説明したが、これは少なくともデータバス14を介してCPU11とメモリ12との間で本来のデータが転送されるリードサイクル期間及びライトサイクル期間のうちいずれか2つの動作サイクル期間の相互間に、つまりリードサイクル期間とライトサイクル期間の相互間、ライトサイクル期間とリードサイクル期間の相互間、2つのリードサイクル期間の相互間、2つのライトサイクル期間の相互間のいずれかに、擬似データ発生回路19で擬似データを発生し、データバス14上に出力するように変更してもよい。例えば、図2を用いた動作説明では、CPU11がメモリ12をアクセスして、メモリ12の記憶データを読み出した後に、CPU11からのデータをメモリ12に書き込む場合を例にして行ったが、これはリード動作が連続して複数回行われる場合またはライト動作が連続して複数回行われる場合でも容易に類推することができるので、これらの説明は省略する。

【0039】

図 3 は、図 1 中の制御信号発生回路 1 8 の具体的な回路構成の一例を示している。この回路は、リード制御信号及びライト制御信号が入力される OR 回路 3 1、この OR 回路 3 1 の出力を所定期間遅延して第 1 遅延信号を出力する遅延回路 3 2、この第 1 遅延信号をさらに所定期間遅延して第 2 遅延信号を出力する遅延回路 3 3、第 1 遅延信号を反転して第 1 遅延反転信号を出力する反転 3 4、第 2 遅延信号及び第 1 遅延反転信号が入力される OR 回路 3 5 とからなる。

【 0 0 4 0 】

図 4 は、図 3 の制御信号発生回路 1 8 における要部の信号波形を示すタイミングチャートである。図 4 中、 $t d 1$ 、 $t d 2$ は遅延回路 3 2、3 3 における遅延時間であり、リードサイクル期間あるいはライトサイクル期間に、リード制御信号もしくはライト制御信号が“0”レベルに下がり、その後“1”レベルの初期値に戻り、その後、遅延回路 3 2 の遅延時間 $t d 1$ が経過した後に制御信号が活性化される。さらにその後、遅延回路 3 3 の遅延時間 $t d 2$ が経過した後に制御信号が非活性化される。

【 0 0 4 1 】

もちろん、制御信号発生回路 1 8 の回路構成は図 3 に示したようなものに限定されるものではなく、要するにリード制御信号及びライト制御信号の変化を検出して制御信号が発生できるようなものであれば、どのような構成のものであってもよい。

【 0 0 4 2 】

図 5 は、この発明に係るデータ処理装置の第 2 の実施の形態による全体の構成を示すブロック図である。

【 0 0 4 3 】

この実施の形態におけるデータ処理装置が、図 1 に示す先の第 1 の実施の形態のものと異なっている点は、擬似データ発生回路 1 9 に替えてダミー回路 2 3 が設けられていることである。従って、図 1 と対応する箇所には同じ符号を付してその説明は省略し、以下、図 1 と異なる点のみについて説明する。

【 0 0 4 4 】

ダミー回路 2 3 は、制御信号発生回路 1 8 で発生される制御信号に応じて動作

が制御され、動作時には図 1 中の擬似データ発生回路内のバス駆動回路で消費される消費電力に相当する電力を消費する。このダミー回路 2 3 は、例えばカウンタ回路やシフトレジスタ等で構成されていてもよい。

【 0 0 4 5 】

この実施の形態によれば、データバス 1 4 を介して CPU 1 1 とメモリ 1 2 との間で本来のデータが転送されるリードサイクル期間及びライトサイクル期間の後で、ダミー回路 2 3 を動作させて電力を消費させるようにしたので、CPU 1 1 とメモリ 1 2 との間で授受される本来のデータの転送時と、その後のダミー回路 2 3 の動作時とで、それぞれの場合に消費電力が一時的に同程度に増大する。

【 0 0 4 6 】

このため、秘密データを含む本来のデータがデータバス 1 4 上を転送される時と、ダミー回路 2 3 の動作時とにおける消費電力の増大は、電源端子 2 0 に供給される電源電圧の電流量を変化を観測しても区別が付きにくい。この結果、外部からは秘密データに依存した消費電力の変化が観察しにくくなり、秘密データの漏洩を防ぐことができる。

【 0 0 4 7 】

【発明の効果】

以上説明したようにこの発明によれば、秘密データが外部に漏洩しにくくできるデータ処理装置を提供することができる。

【図面の簡単な説明】

【図 1】

この発明に係るデータ処理装置の第 1 の実施の形態による全体の構成を示すブロック図。

【図 2】

図 1 のデータ処理装置の動作の一例を示すタイミングチャート。

【図 3】

図 1 中の制御信号発生回路 1 8 の具体的な構成の一例を示す回路図。

【図 4】

図 3 の制御信号発生回路 1 8 における要部の信号波形を示すタイミングチャー

ト。

【図 5】

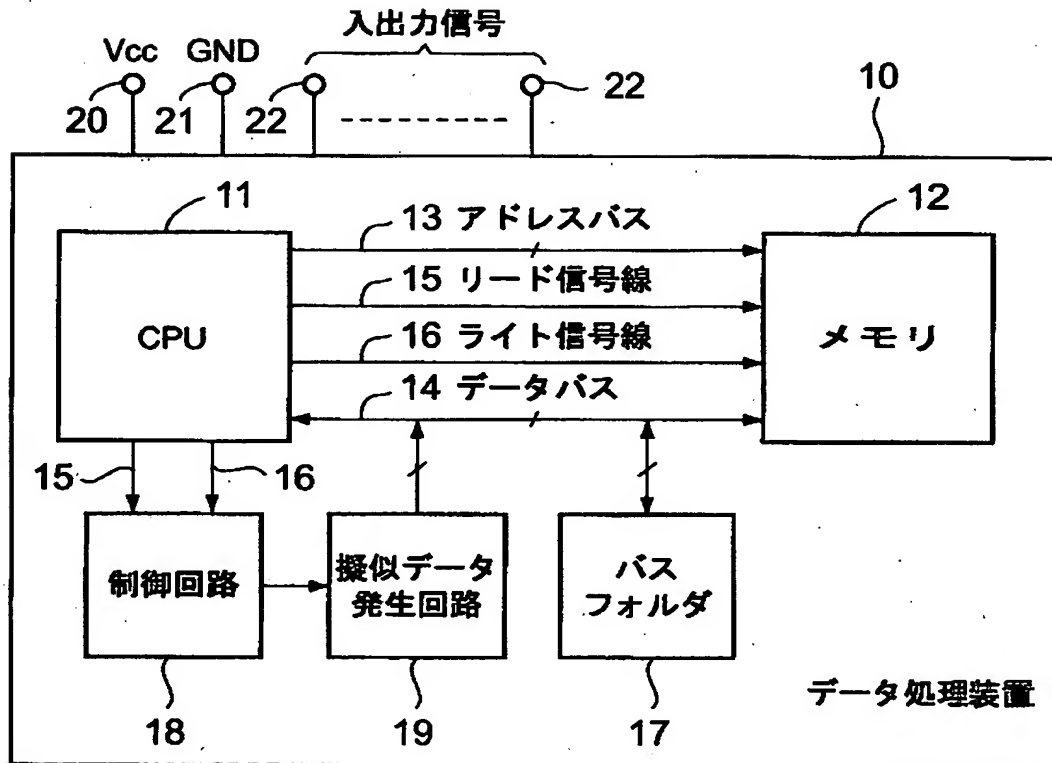
この発明に係るデータ処理装置の第 2 の実施の形態による全体の構成を示すブロック図。

【符号の説明】

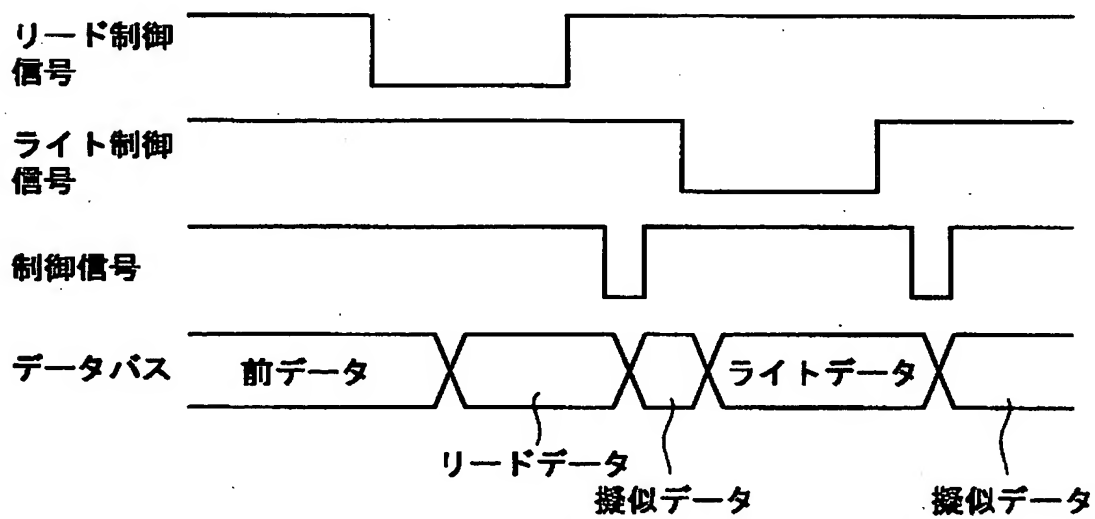
- 1 0 …データ処理装置、
- 1 1 …CPU（中央演算処理装置）、
- 1 2 …メモリ、
- 1 3 …アドレスバス、
- 1 4 …データバス、
- 1 5 …リード信号線、
- 1 6 …ライト信号線、
- 1 7 …バスフォルダ、
- 1 8 …制御信号発生回路、
- 1 9 …擬似データ発生回路、
- 2 0 …電源端子、
- 2 1 …接地端子、
- 2 2 …信号端子、
- 2 3 …ダミー回路。

【書類名】 図面

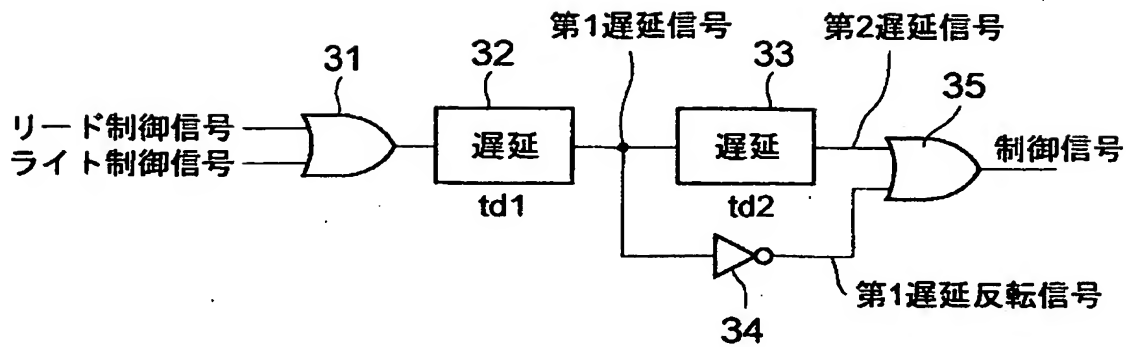
【図 1】



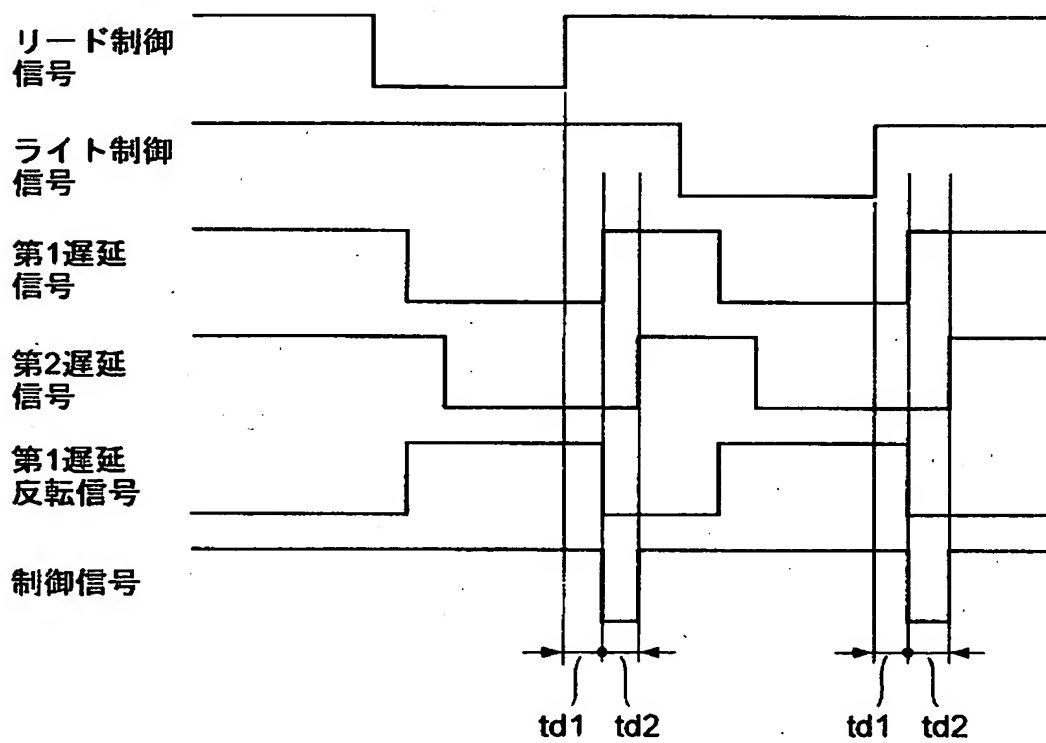
【図 2】



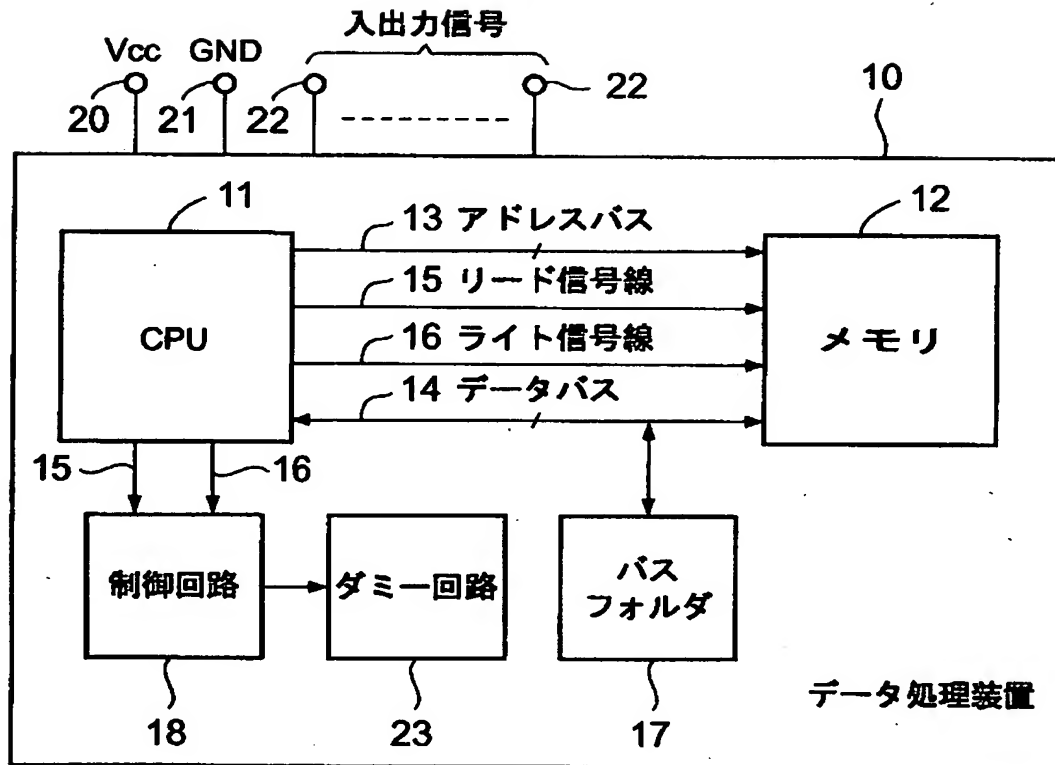
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 CPUとメモリとの間でデータバスを介して転送されるデータが外部に漏洩しにくくする。

【解決手段】 CPU11とメモリ12とは、アドレスバス13、データバス14、リード信号線15及びライト信号線16によって接続されている。リード信号線15及びライト信号線16で転送されるリード制御信号及びライト制御信号は制御信号発生回路18に供給される。制御信号発生回路18は、リード信号線15及びライト信号線15に伝達されるリード制御信号及びライト制御信号の変化を検出して制御信号を発生する。制御信号発生回路18で発生された制御信号は擬似データ発生回路19に供給される。擬似データ発生回路19は制御信号に応じて不特定な乱数データからなる擬似データを発生し、データバス14上に出力する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-400828
受付番号	50001700984
書類名	特許願
担当官	末武 実 1912
作成日	平成13年 1月12日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	神奈川県川崎市幸区堀川町72番地
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	村松 貞男

【選任した代理人】

【識別番号】	100068814
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	坪井 淳

【選任した代理人】

【識別番号】	100092196
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	橋本 良郎

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内

次頁有

認定・付加情報（続き）

【氏名又は名称】	河野 哲
【選任した代理人】	
【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	中村 誠
【選任した代理人】	
【識別番号】	100070437
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	河井 将次

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝